

## **ELEKTRONIKA DIGITALA**

Azterketa eredua:

### 1 Ariketa

- a Funtzioak osatu, karnaugh, minterms, maxterms
- b Karnaugh erabiliz, minterms edo maxterms sinplifikatu
- c Dekodifikadorearekin aurreko funtzioa (b atalekoa) egin

### 2 Ariketa (5. gaia)

Zirkuitu integratuak displayak etab. erabiliz zerbait kontrolatuko duen zirkuitua diseinatu

### 3 Ariketa (Teoria)

Arrisku estatikoak GLITCH  
Zirkuituak (barruan ateen dituzten amplifikadore...)  
TTL-CMOS interfaceak

### 4 Ariketa

Laborategia

**Minterms**

**-Minterms:** Biderketen arteko batuketa:  $DCB\bar{A} + D\bar{C}\bar{B}A + \bar{D}CB A$

**Idazkera:**

$$F_{(DCBA)} = \sum (m_3, m_4, m_{13}, m_{15}) = D\bar{C}\bar{B}A + DCB\bar{A} + DCB A + DCB A = \\ = \sum (3, 4, 13, 15) = 0011 + 0100 + 1101 + 1111$$

**Egitaulatik lortzeko:**

C	B	A	F	
0	0	0	0	
0	0	1	1	$\bar{C} \cdot \bar{B} \cdot A$
0	1	0	0	
0	1	1	1	$\bar{C} \cdot B \cdot A$
1	0	0	1	$C \cdot \bar{B} \cdot \bar{A}$
1	0	1	1	$C \cdot \bar{B} \cdot A$
1	1	0	0	
1	1	1	1	$C \cdot B \cdot A$

$F_{(CBA)} = \bar{C}\bar{B}A + \bar{C}BA + C\bar{B}\bar{A} + C\bar{B}A + CBA$

Batekoak hartuko ditugu kontuan (F 1 denean) eta C, B edo A-n 0 duten aldagaiak alderantzatuta egongo dira eta 1 dituztenek ez.

**Karnaugh-en mapa erabiliz:**

$y_3y_2 \backslash y_1y_0$	00	01	11	10
00	0	0	1	1
01	0	0	1	1
11	0	0	0	0
10	1	1	0	0

$$F = y_3 \cdot \bar{y}_2 \cdot \bar{y}_1 + y_2 \cdot y_1$$

Karnaugh erabiliz funtzioa minterms erara idazteko, batekoak kontuan hartu behar ditugu soilik. Batekoekin laukiak edo laukizuzenak osatzen dituzten 1, 4, 8, 16... elementuko taldeak egin behar ditugu. Talde hauetan amankomunean dauden aldagaiak kontuan hartuko ditugu bakarrik. Eta lehen esan bezala, lekoak aldagaiak berez izango dira (ezeztatu gabe) 0 duten aldagaiak ezeztatuta joango dira.

**Maxterms**

**-Maxterms:** Batuketan arteko biderketa  $(C+B+\bar{A}) \cdot (\bar{C}+B+\bar{A}) \cdot (C+\bar{B}+A)$

**Idazkera:**

$$F(D, C, B, A) = \prod (7, 5, 13, 14) = M_7 \cdot M_{13} \cdot M_{14} = 0111 \cdot 0101 \cdot 1101 \cdot 1110 = \\ = (D+\bar{C}+\bar{B}+\bar{A}) \cdot (D+\bar{C}+B+\bar{A}) \cdot (\bar{D}+\bar{C}+B+\bar{A}) \cdot (\bar{D}+\bar{C}+B+A)$$

**Egitaulatik lortzeko:**

C	B	A	F
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

→  $C+B+A$

→  $C+\bar{B}+A$

→  $\bar{C}+\bar{B}+A$

}

$F = (C+B+A) \cdot (C+\bar{B}+A) \cdot (\bar{C}+\bar{B}+A)$

Orain 0ak gartuko ditugu kontuan bakarrik eta aldagaiek Low (0) balioa dutenean aldarantzatu gabe egongo dira funtzioan, High (1) balioa dutenean aldagaia aldarantzatuta egongo dira.

**Karnaugh-en mapatik lortzeko:**

$y_3y_2 \backslash y_1y_0$	00	01	11	10
00	0	0	1	1
01	0	0	1	1
11	0	0	0	0
10	1	1	0	0

→  $y_3 + y_1$

→  $\bar{y}_3 \bar{y}_2$

→  $\bar{y}_3 \cdot \bar{y}_1$

}

$F = (y_3 + y_1) \cdot (\bar{y}_3 + \bar{y}_2) \cdot (\bar{y}_3 + \bar{y}_1)$

Karnaugh-en mapa erabiliz Maxterms egiteko, zeroak hartuko ditugu kontuan eta mulzoak amankomunean duen aldagaia 1 bada, ezeztatua egongo da, 0 baldin bada, normal egongo da.

**Karnaugh-en mapa betetzeko metodo azkarra.**

Metodo hau eraabili egin ahal izateko, egitaula gray kodean idatzita egon beharko da. Ikus daitekenez, egitaularen kasilla abatetik ondokora, zenbaki bakarra aldatzen da, hori ikusirik,

egitaula askoz errezago pasa dezakegu mapara baldin eta grayn idatzita baldin badago, izan ere, taularen balioak zuzenean kopiautuko genituzkelako mapan hurrengo ordena jarraituz:

CD\EF	0 0	0 1	1 1	1 0		CD\EF	0 0	0 1	1 1	1 0
0 0	0	1	2	3		0 0	31	30	29	28
0 1	7	6	5	4		0 1	24	25	26	27
1 1	8	9	10	11		1 1	23	22	21	20
1 0	15	14	13	12		1 0	16	17	18	19

CD\EF	0 0	0 1	1 1	1 0		CD\EF	0 0	0 1	1 1	1 0
0 0	63	62	61	60		0 0	32	33	34	35
0 1	56	57	58	59		0 1	39	38	37	36
1 1	55	54	53	52		1 1	40	41	42	43
1 0	48	49	50	51		1 0	47	46	45	44

Gray kodea

### **De Morganen Teoremak:**

De Morganen teoremak hurrengo bi berdinketa hauek dira, boolean algebra barnean eta, ondorioz elektronika digitalean oso garrantzi handia dutenak

$$\overline{x \cdot y} = \overline{x} + \overline{y} \quad \text{eta} \quad \overline{x + y} = \overline{x} \cdot \overline{y} \quad \text{dira.}$$

### **Nand edota Nor ateen bidezko funtzioen garapena:**

De Morganen teoreman oinarrituta, Nor edo Nand atekin soilik, edozein funtzio lor dezakegu.

### **NOR atekin beste funtzioak eraikitze:**

-NOR:

$$F = \overline{A + B}$$

-NAND:

$$F = \overline{\overline{A + B}} = \overline{\overline{A} \cdot \overline{B}} = \overline{A \cdot B}$$

-OR:

$$F = \overline{\overline{A+B}} = A+B$$

-AND:

$$F = \overline{\overline{A+B}} = \overline{\overline{A} \cdot \overline{B}} = A \cdot B$$

-NOT:

$$F = \overline{A+A} = \bar{A}$$

**NAND atekin beste funtzioak eraikitzeko:**

-NAND:

$$F = \overline{A \cdot B}$$

-NOR:

$$F = \overline{\overline{A} \cdot \overline{B}} = \overline{\overline{A+B}} = \overline{A+B}$$

-AND:

$$F = \overline{\overline{A \cdot B}} = A \cdot B$$

-OR:

$$F = \overline{\overline{A} \cdot \overline{B}} = \overline{\overline{A+B}} = A+B$$

-NOT:

$$F = \overline{A+A} = \bar{A}$$

### Glitch-ak eta arrisku estatikoak

Glitch bat nahi ez den korrante edo tentsio piko bat da, atzerapenen ondorioz sortutakoa. Hau zirkuituak seinaleztat ikus dezake eta zirkuituaren funtzionamenduan akatsak sor daitezke. Glitch bat eman daitekeen jakiteko Karnaughen mapan, funtzioaren barnean bi multzo desberdinetan sarturik dauden ondoz ondoko bi balio dauden ikusi egin beharko da. Batetik bestera pasatzean glitchik sortzen den ikusi egin beharko da bi norabideetan eta sortzekotan, konponbideetariko bat aukeratu beharko da.

Konponbideak:

Atzerapenak sartu

Balidazioa

Erredundantzia: Logika erredundantea erabiltzean datza konponbide hau, hau da, behar ez diren baina funtzioaren emaitza aldatuko ez duten funtzio zatiak sartzea (funtzioa “des-simplifikatzea”).

### **Zirkuitu integratu digitalen teknologia TTL eta CMOS teknologiak:**

**CMOS:** Complementary metal oxide semiconductor. **Trantsizio egoeran kontsumitzen du soilik**, gainera, elikatzekeo tarte zabala du.

**TTL:** Transistor-transistor logic. Teknologiarik ospetsuena da, **erantzuteko abiadura handia eta zaratarekiko immunitatea ditu**.

#### **Tentsio irteera sarrera ezaugarriak:**

- $V_{IHmin}$ : Sarrera batek maila altutzat (High: 1) hartzen duen boltaia minimoa da

- $V_{ILmax}$ : Sarrera batek maila baxutzat (Low: 0) hartzen duen balio maximoa da.

- $V_{OHmin}$ : Irteera batek maila altua emateko (High: 1) izan dezakeen gutxieneko irteera-boltaia, baldin eta irteerak ematen duen intentsitatea,  $I_{OHmax}$  baino txikiagoa bada.

-  $V_{OLmax}$ : Irteera batek maila baxua emateko (Low: 0) izan dezakeen gehiengo balioa izango da, baldin irteerak jaotzen duen intentsitatea  $I_{OLmax}$  baino txikiagoa bada.

#### **Intentsitate irteera sarrera ezaugarriak:**

- $I_{IHmax}$ : Maila altua aplikatzen zaion ate batek eskatuko duen intentsitate balore maximoa.

- $I_{ILmax}$ : Maila baxua aplikatzen zaionean sarrera bati, honek eskatzen duen intentsitate maximoa.

- $I_{OHmax}$ : Irteera batek eman dezakeen intentsitate maximoa,  $V_{OHmin}$  balio azpitik erori gabe.

- $I_{OLmax}$ : Irteera batek xurgatu dezakeen intentsitate maximoa, irteeraren  $V_{OLmax}$  balioa gainditu gabe.

OHARRA: Hitzarmen moduan, intentsitateek zeinu positiboa izango dute ate logikoaren barnerantz doazenean eta zeinu negatiboa konporantz doazenean

### **Teknologia ezberdinen arteko interfazeak (pull-up):**

CMOS-TTL artean konexioak egiteko ez dago arazorik.

$V_{OHmin}$  CMOS=4,9v  $V_{IHmin}$  TTL = 2v hortaz, maila altuan tentsioekin ez dago arazorik.

$V_{OLmax}$  CMOS=0,1v eta  $V_{ILmax}$  TTL = 0,8 beraz, maila baxuan arazorik ez.

$I_{OLmax}$  CMOS= 4mA eta  $I_{ILmax}$  TTL = 1,6 mA beraz, CMOS-aren fan-out 2 TTL ate izango da.

#### **TTL-CMOS**

$V_{OHmin}$  TTL = 2,4v eta  $V_{IHmin}$  CMOS = 3,15v da, beraz, CMOS sarreran high lortzeko TTL atea ez du tentsio nahikorik ematen.

$V_{OLmax} \text{ TTL} = 0,4V$  eta  $V_{ILmax} \text{ CMOS} = 1v$  beraz, maila baxuan arazorik ez dago.

TTL-CMOS artean maila altuan dagoen arazoa konpontzeko TTL-CMOS interface bat egingo dugu pull-up erresistentzia baten bidez ( $R_p$ )

$V_{cc} = R_p \cdot I_p \cdot V_{OLmax}$  eta  $I_{OLmax(TTL)} = n \cdot I_{ILmax(CMOS)} + I_{RP}$  beraz,  $R_p$  ren balioa hau da:

$R_p = \frac{V_{cc} - V_{OLmax}}{I_{OLmax(TTL)} - n \cdot I_{ILmax(CMOS)}}$  non n kitzikatu egin behar diren CMOS sarrera kopurua den.

### Moduluz garatutako zirkuitu konbinazionalak:


#### **Batutzaileak (adders):**

##### Erdibatutzailea (half adder):

Bi bit bakarreko sarreren arteko batuketa egiten duen zirkuitua da.

Sarrerak:

Irteerak:

a	b	s	c	a eta b sarrerak dira, s batuketaren emaitza eta c bururakoa (carry)	
0	0	0	0		
0	1	1	0		
1	0	1	0		
1	1	0	1		

Zirkuitua:

##### Batutzaile osoa (full adder)

Batutzaile honen bitartez, bit bat bino gehiagoko zenbakiak batu egin daitezke. Hau da beraien diagrama:

